

DERWENT-ACC-NO: 1994-276668

DERWENT-WEEK: 199434

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Signal generation device for standard clocks - uses
direct digital synthesiser for producing clock pulses

PATENT-ASSIGNEE: NF KAIRO SEKKEI BLOCK KK[NFKAN]

PRIORITY-DATA: 1992JP-0355725 (December 19, 1992)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 06209216 A	July 26, 1994	N/A	003	H03B 028/00

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 06209216A	N/A	1992JP-0355725	December 19, 1992

INT-CL (IPC): H03B028/00

ABSTRACTED-PUB-NO: JP 06209216A

BASIC-ABSTRACT:

The signal generator uses a frequency divider (1) and a phase locked loop circuit comprising a phase comparator (2), a low pass filter (3), a voltage controlled oscillator (4) and a DDS circuit (6) in the feedback path. A DDS circuit is connected to output of VCO from which clock frequency is generated.

The frequency divider carries out the division of the input reference frequency. The phase comparator compares this frequency with the output from DDS. The output of VCO is received as a standard clock only when this is equal to the output from frequency divider.

ADVANTAGE - Obtains highly precise reference frequencies.

CHOSEN-DRAWING: Dwg.1/2

TITLE-TERMS: SIGNAL GENERATE DEVICE STANDARD CLOCK DIRECT DIGITAL SYNTHESISER
PRODUCE CLOCK PULSE

ADDL-INDEXING-TERMS:

DDS

DERWENT-CLASS: T01 U23

EPI-CODES: T01-K; U23-F01;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-218197

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-209216

(43)公開日 平成6年(1994)7月26日

(51)IntCl⁵

H03B 28/00

識別記号

庁内整理番号

B 9182-5J

FI

技術表示箇所

審査請求 未請求 請求項の数1 FD (全3頁)

(21)出願番号 特願平4-355725

(22)出願日 平成4年(1992)12月19日

(71)出願人 000128094

株式会社エヌエフ回路設計ブロック

横浜市港北区綱島東6丁目3番20号

(72)発明者 田辺 隆郎

横浜市港北区綱島東6-3-20 株式会社

エヌエフ回路設計ブロック内

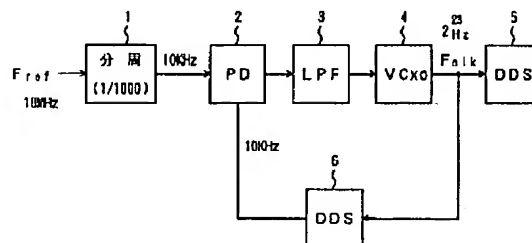
(74)代理人 弁理士 福山 正博

(54)【発明の名称】 信号発生装置

(57)【要約】

【目的】標準的基準クロック周波数である10MHz等の周波数を基準クロックとして用いることができる信号発生装置を提供する。

【構成】バイナリ型加算器を有する第1と第2のDDS回路(5, 6)を備え、位相比較器(2)と電圧制御発振器(4)と分周機能を有する該第2のDDS回路(6)とでPLL回路を構成し、該発振器(4)の出力を前記第1のDDS回路(5)の基準クロックとしている。



【特許請求の範囲】

バイナリ型加算器を有する第1のDDS回路と、
基準周波数を分周する分周器と、
該分周器の出力を一入力とする位相比較器と、
該位相比較器の出力に応じて発振周波数が前記第1のDDS回路が必要とする基準クロック近傍で変化し、前記第1のDDS回路に供給する発振器と、
バイナリ型加算器を有し、前記発振器の出力を基準クロックとして受け、出力周波数が前記分周器の出力周波数と等しくなるような周波数データが与えられた第2のDDS回路と、を備えて成ることを特徴とする信号発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は信号発生装置に関し、特に10MHz等の既存の高精度基準周波数を基準クロックとして利用可能なDDS(Direct Digital Synthesizer)回路技術を用いた信号発生装置に関する。

【0002】

【従来の技術】正弦波、矩形波等の特定の信号波形を任意の周波数で発生させる信号発生装置として、当該特定の信号波形情報をデジタルデータとしてROM等のメモリに格納しておき、該メモリからデータを読み出すための読み出しクロックを変化させるDDS回路がデジタル型の信号発生装置として広く採用されている。

【0003】この種の従来の信号発生装置は、図2に示すように、デジタル加算器21の一入力にNビットの周波数データが入力され、該デジタル加算器21の出力がラッチ22にラッチされる。ラッチ22からは、ラッチ出力がクロックCLKにตอบสนองして出力されて加算器21の他入力として供給されるとともに、ROM23のアドレスデータとして供給される。ROM23から読み出された波形データは、D/Aコンバータ24でアナログ信号に変換された後、ローパスフィルタ(LPF)25で低域成分が抽出されて出力される。加算器21としては、バイナリ型加算器が、構成の簡易さと高速動作が可能であることから用いられている。

【0004】ここで、信号発生装置の出力周波数 F_{out} は、ラッチ22のクロック周波数を F_{clk} とすると、 $F_{out} = F_{clk} \cdot (\text{周波数データ}) / (\text{デジタル加算器容量})$ で表され、例えば、 $F_{clk} = 2^{36} \times 10^{-4} = 6.87194 \dots \text{MHz}$ 、デジタル加算器容量を 2^{36} とすると、周波数データが1のとき、 F_{out} としては0.1mHzが得られる。また、周波数データが1234567のときは、 F_{out} としては123.4567MHzが得られる。したがって、かかる信号発生装置によれば、非常に高い分解能で出力周波数を設定できる。

【0005】

【発明が解決しようとする課題】上述のように、DDS

回路を用いた従来の信号発生装置は、バイナリ型加算器を用いて高い周波数分解能を得ている。しかしながら、周波数分解能と基準クロックとは上式のような関係があるため、周波数分解能として切りの良い値(例えば1Hzや0.1Hzのような値、また、上記例では、0.1mHz)を得るためには、基準クロックの周波数は、上記例のように非常に切りの悪い、桁数の多い値となってしまう。

【0006】すなわち、上述信号発生装置に用いられる加算器が 2^n の容量のバイナリ型であり、周波数分解能を $dF(\text{Hz})$ とすると、その基準クロック F_{clk} は、 $F_{clk}(\text{Hz}) = 2^n \times dF$

となる。基準クロック源としては、一般には水晶発振器が用いられるが、このような切りの悪い周波数の高精度な水晶発振器を製造することは困難である。また、一般に高周波測定器の高精度の基準周波数は、10MHz、あるいはその分周周波数である5MHz、2MHz、1MHzのような値に設定されている。したがって、上記のようなDDS回路は、その基準クロックとして精度の高いものを使用できないという問題がある。また、このことは高精度の基準周波数を利用する他の測定器との同期がとれないことにもなる。

【0007】そこで、本発明の目的は、標準的基準クロック周波数である10MHz等の周波数を基準クロックとして用いることができる信号発生装置を提供することにある。

【0008】

【課題を解決するための手段】前述の課題を解決するため、本発明による信号発生装置は、バイナリ型加算器を有する第1のDDS回路と、基準周波数を分周する分周器と、該分周器の出力を一入力とする位相比較器と、該位相比較器の出力に応じて発振周波数が前記第1のDDS回路が必要とする基準クロック近傍で変化し、前記第1のDDS回路に供給する発振器と、バイナリ型加算器を有し、前記発振器の出力を基準クロックとして受け、出力周波数が前記分周器の出力周波数と等しくなるような周波数データが与えられた第2のDDS回路と、を備えて構成される。

【0009】

【作用】本発明では、バイナリ型加算器を有する第1と第2のDDS回路を備え、位相比較器と電圧制御発振器と分周機能を有する該第2のDDS回路とでPLL回路を構成し、該発振器の出力を前記第1のDDS回路の基準クロックとしている。

【0010】

【実施例】次に、本発明の実施例について図面を参照しながら説明する。図1は、本発明による信号発生装置の一実施例を示す構成ブロック図である。本実施例では、DDS回路5は、バイナリ型加算器を有し、その容量が 2^{23} で、周波数分解能が1Hzであり、必要とする基準

3

クロック周波数 F_{clk} は 2^{23} [Hz]である場合において、標準的周波数に相当する10MHzの周波数 F_{ref} を、以下に説明する構成を用いて F_{clk} としての $2^{23} = 8,388,608$ [MHz]に変換して、通常構成のDDS回路5に供給するものである。

【0011】図1において、基準周波数 F_{ref} (10MHz)は、分周器1で $1/1000$ に分周され、位相比較器2の入力端子に供給される。位相比較器2の出力は、ローパスフィルタ (LPF) 3により所望の低域成分が抽出されて電圧制御発振器4に入力される。電圧制御発振器4としては、その発振中心周波数は F_{clk} 、つまり 2^{23} [Hz] 付近の電圧制御型周波数可変水晶発振器 (VCXO) を用いる。

【0012】電圧制御発振器4からの 2^{23} Hzの発振出力は、DDS回路5の基準クロック F_{clk} として供給されるとともに、DDS回路6の基準クロックとしても供給される。DDS回路6は、DDS回路5と同一構成を有する。加算器の容量が 2^{23} で周波数分解能が1HzであるDDS回路6の周波数データは、固定データ10000に設定され、基準クロックの周波数が 2^{23} [Hz] のとき、出力周波数は10kHzとなり、位相比較器2の他方の入力端子に輸入され、位相同期ループが構成される。このとき、DDS6は、分周比が $10k/2^{23}$ の分周器として動作しており、電圧制御発振器4の出力周波数は、10kHz、つまり、基準周波数10MHzに同期した 2^{23} [Hz]となる。

【0013】このように、DDS回路6を分周器として使用することにより、分周比の変更にはハードウェアの変更を伴う通常分周器を使用するよりもはるかに設計

4

面での自由度も高まることになる。

【0014】上述実施例において、基準周波数が10MHz以外の場合には、位相比較器2への2つの入力周波数が等しくなるように分周器1やDDS回路6の周波数データを変更することにより容易に対応可能である。また、DDS回路5とDDS回路6は同一構成でなくとも前記機能を実現できる構成であれば良いことは勿論である。

【0015】

10 【発明の効果】以上説明したように、本発明による信号発生装置によれば、所望の周波数分解能が得られるバイナリ型加算器を用いたDDS回路の基準クロックとして一般に用いられている高精度の基準周波数 (10MHz, 5MHz, 1MHz等) を利用することができる。

【図面の簡単な説明】

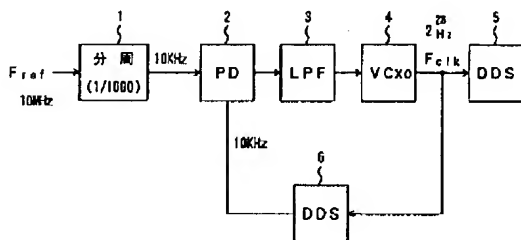
【図1】本発明による信号発生装置の一実施例を示す構成ブロック図である。

【図2】従来のDDS回路の一例を示すブロック図である。

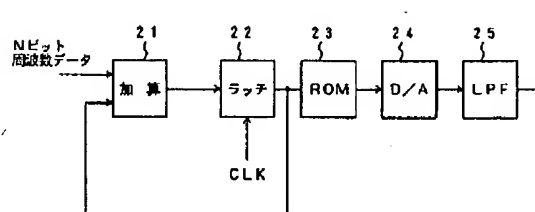
20 【符号の説明】

- 1 分周器
- 2 位相比較器
- 3, 25 ローパスフィルタ
- 4 電圧制御発振器
- 5, 6 DDS回路
- 21 バイナリ型加算器
- 22 ラッチ
- 23 ROM
- 24 D/Aコンバータ

【図1】



【図2】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-209216

(43)Date of publication of application : 26.07.1994

H03B 28/00

(71)Applicant : N F KAIRO SEKKEI BLOCK:KK

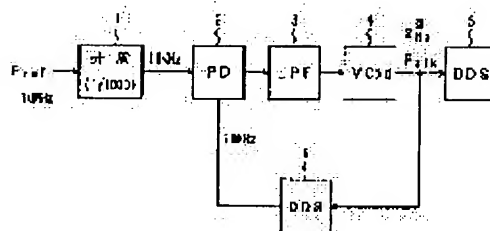
(72)Inventor : TANABE TAKAO

(54) SIGNAL GENERATOR

(57)Abstract:

PURPOSE: To obtain a signal generator in which the frequency of 10MHz, etc., being a standard reference clock frequency can be used as a reference clock.

CONSTITUTION: This device is equipped with first and second DDS circuits 5 and 6 having binary type adders, and a PLL circuit is constituted of a phase comparator 2, voltage control oscillator 4, and second DDS circuit 6 having a frequency-divider function. Then, the output of the oscillator 4 is used as the reference clock of the first DDS circuit 5.



LEGAL STATUS

[Date of request for examination] 03.08.1999

[Date of sending the examiner's decision of rejection] 05.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[Effect of the Invention] As explained above, according to the signal generation equipment by this invention, the highly precise reference frequency (10MHz, 5MHz, 1 etc.MHz, etc.) generally used as a reference clock of a DDS circuit using the binary mold adder with which desired frequency resolution is obtained can be used.

[Translation done.]

Moreover, this also turns into that the synchronization with other measuring instruments using highly precise reference frequency cannot be taken.

[0007] Then, the purpose of this invention is to offer the signal generation equipment which can use frequencies which are standard reference clock frequencies, such as 10 etc.MHz, as a reference clock.

[0008]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the signal generation equipment by this invention The 1st DDS circuit which has a binary mold adder, and the counting-down circuit which carries out dividing of the reference frequency, The phase comparator which considers the output of this counting-down circuit as - input, and the oscillator which an oscillation frequency changes near [which said 1st DDS circuit needs] the reference clock, and supplies to said 1st DDS circuit according to the output of this phase comparator, It has a binary mold adder and the output of said oscillator is undergone as a reference clock, and it has the 2nd DDS circuit where frequency data with which an output frequency becomes equal to the output frequency of said counting-down circuit were given, and is constituted.

[0009]

[Function] in this invention, it has the 1st [which has a binary mold adder], and 2nd DDS circuit, and has a phase comparator, a voltage controlled oscillator, and a dividing function -- this -- a PLL circuit is constituted from the 2nd DDS circuit, and the output of this oscillator is made into the reference clock of said 1st DDS circuit.

[0010]

[Example] Next, it explains, referring to a drawing about the example of this invention. Drawing 1 is the configuration block Fig. showing one example of the signal generation equipment by this invention. It changes into $223 = 8.388608$ [MHz] as Fclk using the configuration which explains below frequency Fref[of 10MHz which is equivalent to a standard frequency when the reference clock frequency Fclk which the DDS circuit 5 has a binary mold adder in this example, the capacity is 223, and frequency resolution is 1Hz, and is needed is 223 [Hz]], and the DDS circuit 5 of usually a configuration is supplied.

[0011] In drawing 1, dividing of the reference frequency Fref (10MHz) is carried out to 1/1000 with a counting-down circuit 1, and it is supplied to - input terminal of a phase comparator 2. A desired low-pass component is extracted by the low pass filter (LPF) 3, and the output of a phase comparator 2 is inputted into a voltage controlled oscillator 4. As a voltage controlled oscillator 4, the oscillation center frequency uses the voltage-controlled frequency variable crystal oscillator (VCXO) Fclk, i.e., near 223 [Hz].

[0012] The oscillation output of 223Hz from a voltage controlled oscillator 4 is supplied also as a reference clock of the DDS circuit 6 while being supplied as reference clock Fclk of the DDS circuit 5. The DDS circuit 6 has the same configuration as the DDS circuit 5. As for the frequency data of the DDS circuit 6 whose frequency resolution is 1Hz, the capacity of an adder is set as fixed data 10000 by 223, when the frequency of a reference clock is 223 [Hz], an output frequency is set to 10kHz, it is inputted into the input terminal of another side of a phase comparator 2, and a phase-locked loop is constituted. At this time, DDS6 is 223 to which the division ratio was operating as a counting-down circuit of $10k/223$, and the output frequency of a voltage controlled oscillator 4 synchronized with 10kHz of 10MHz, i.e., reference frequency. It is set to [Hz].

[0013] Thus, the degree of freedom in respect of a design will also increase [rather than] in modification of a division ratio far by using the DDS circuit 6 as a counting-down circuit using the usual counting-down circuit accompanied by a hardware change.

[0014] In the above-mentioned example, when reference frequency is except 10MHz, it can respond easily by changing a counting-down circuit 1 and the frequency data of the DDS circuit 6 so that two input frequencies to a phase comparator 2 may become equal. Moreover, even if the DDS circuit 5 and the DDS circuit 6 are not the same configurations, things' are [that what is necessary is just the configuration that said function is realizable] natural.

[0015]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates the high precision reference frequency of especially existing, such as 10 etc.MHz, to the signal generation equipment using a DDS (Direct Digital Synthesizer) circuit technique available as a reference clock about signal generation equipment.

[0002]

[Description of the Prior Art] It stores in memory, such as ROM, by using the specific signal wave form information concerned as digital data as signal generation equipment made to generate specific signal wave forms, such as a sine wave and a square wave, on the frequency of arbitration, and the DDS circuit to which the read-out clock for reading data from this memory is changed is widely adopted as signal generation equipment of a digital mold.

[0003] As this kind of conventional signal generation equipment is shown in drawing 2, the frequency data of N bit are inputted into - input of the digital adder 21, and the output of this digital adder 21 is latched to latch 22. From latch 22, while a latch output is answered and outputted to Clock CLK and is supplied as other inputs of an adder 21, it is supplied as address data of ROM23. After the data point read from ROM23 is changed into an analog signal by D/A converter 24, with a low pass filter (LPF) 25, a low-pass component is extracted and it is outputted. As an adder 21, the binary mold adder is used from simple and high-speed operation of a configuration being possible.

[0004] Here, the output frequency Fout of signal generation equipment is $F_{out} = F_{clk} - (\text{frequency data}) / (\text{digital adder capacity})$, when latch's 22 clock frequency is set to Fclk.

It is come out and expressed, for example, is $F_{clk} = 236 \times 10^{-4} = 6.87194$. -- When MHz and digital adder capacity are set to 236 and frequency data are 1, 0.1mMHz(es) are obtained as FOUT. Moreover, when frequency data are 1234567, 123.4567MHz is obtained as FOUT. Therefore, according to this signal generation equipment, an output frequency can be set up with very high resolution.

[0005]

[Problem(s) to be Solved by the Invention] As mentioned above, the conventional signal generation equipment using a DDS circuit has obtained high frequency resolution using the binary mold adder. However, since frequency resolution and a reference clock have relation like a top type, in order to acquire the good value (for example, a value like 1Hz or 0.1Hz and the above-mentioned example 0.1mHz) of the end as frequency resolution, the frequency of a reference clock will become a value with many digit counts with the very bad end like the above-mentioned example.

[0006] That is, the adder used for the above-mentioned signal generation equipment is a binary mold with a capacity of 2^n , and if frequency resolution is set to dF (Hz), the reference clock Fclk will serve as $F_{clk}(\text{Hz}) = 2^n \times dF$. As a source of a reference clock, although a crystal oscillator is generally used, it is difficult to manufacture a crystal oscillator with the bad highly precise frequency of such the end. Moreover, generally the highly precise reference frequency of an HF measuring instrument is set as a value like 10MHz or 5MHz which is the dividing frequency, 2MHz, and 1MHz. Therefore, the above DDS circuits have the problem that what has a precision high as the reference clock cannot be used.